

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-283422

(43)公開日 平成6年(1994)10月7日

(51)Int CL <sup>8</sup> H 01 L 21/20 21/336 29/784	識別記号 8122-4M	府内整理番号 F I	技術表示箇所 9056-4M H 01 L 29/ 78 3 1 1 Y
---	-----------------	---------------	---

審査請求 未請求 請求項の数3 FD (全 6 頁)

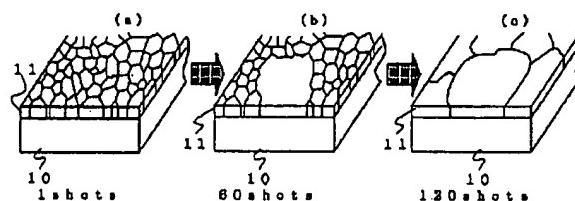
(21)出願番号 特願平5-92260	(71)出願人 000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22)出願日 平成5年(1993)3月25日	(72)発明者 原田 康樹 大阪府守口市京阪本通2丁目18番地 三洋 電機株式会社内
	(72)発明者 寺田 典裕 大阪府守口市京阪本通2丁目18番地 三洋 電機株式会社内
	(74)代理人 弁理士 烏居 洋

(54)【発明の名称】 多結晶半導体膜およびこれを用いた薄膜トランジスタ並びに多結晶半導体膜の製造方法

(57)【要約】

【目的】 ガラス基板を使用し、且つ結晶に配向を持たせながら結晶粒径の大粒径化が図れるといった全ての条件を充たすことのできる多結晶半導体膜の製造方法を提供することを目的とする。

【構成】 a-Si膜を形成するプラズマCVD装置のバックグランド真空中を十分に高くしてa-Si膜中の酸素を十分に除去し、次に、a-Si膜に含まれる水素を比較的長時間（或いは高温）での熱アニールによって十分に除去し、その後、上記の酸素及び水素が十分に除去されたa-Si膜に対して所定の温度を付与しつつエキシマレーザーパルスを多数回照射する。



## 【特許請求の範囲】

【請求項1】 膜厚が300Å～1000Åで且つ(111)配向度50%以上のノンドープ膜であり、結晶粒径1μm以上の粒を少なくとも含むことを特徴とする多結晶半導体膜。

【請求項2】 絶縁性基板として低融点ガラス基板を用い、少なくともチャネル層に請求項1の多結晶半導体膜を有していることを特徴とする薄膜トランジスタ。

【請求項3】 水素及び酸素が十分に除去された非晶質の半導体膜を得る工程と、低融点ガラス基板の使用が可能な温度に保持して上記非晶質の半導体膜にエキシマレーザーを30ショット以上照射する工程と、を含むことを特徴とする多結晶半導体膜の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、薄膜で大粒径且つ配向した多結晶半導体膜を低温プロセスで製造する方法に関する。

## 【0002】

【従来の技術】 ガラス基板上に薄膜トランジスタ(以下、TFTと略記する)を多数個形成して成るデバイスとして、例えば、液晶ディスプレイ(LCD)、密着型ラインセンサ、或いは1次元サーマルヘッドなどが知られている。これらのデバイス、例えば、上記の液晶ディスプレイにおいては、装置のコンパクト化、低コスト化のためTFT自体で薄膜の駆動回路を一体化形成して外付けのドライバーICを不要とする要望がある。また、TFTサイズを小さくすることで画素中の開口率を大きくする、或いは、画素数を多くしたときでも高速で動作させる等、高品位化のための要望がある。

【0003】 ここで、TFTの材料としては、非晶質シリコン(a-Si)が一般的であるが、このa-Siは、その電子移動度が $1\text{ cm}^2/\text{Vs}$ 以下と低く、駆動回路一体化、画素サイズ縮小化等の高品位化には十分な特性を有していない。

【0004】 このため、比較的電子移動度が高い多結晶シリコン(poly-Si)がTFTなどの半導体デバイスの材料として有望視され、特に、ガラス基板が使用可能な低温プロセスで高移動度化、オフ電流低減の為に大粒径且つノンドープで配向を有するpoly-Si薄膜の出現が望まれていた。

【0005】 従来のpoly-Si膜形成方法としては、ガラス基板の使用が可能な低温プロセスを用いる形成方法と、ガラス基板の使用ができない高温プロセスを用いる形成方法とが知られている。低温プロセスとしては、固相成長法、低温CVD法、及びエキシマレーザーアニール法が知られており、また、高温プロセスとしては、高温熱アニール法、CWアルゴンレーザーアニール法、及び高温CVD法が知られている。

【0006】 固相成長法は、基板温度を約600°Cとし

て数十時間の熱アニールを行う方法であり、結晶粒径の大粒径化(2μm程度)には適しているが、配向がランダムであり、結晶粒は双晶等の結晶欠陥が多い樹枝状結晶であり、結晶性が悪いという欠点を有する。従って、たとえ粒内にTFTを作っても移動度は単結晶Siと比較して1/5程度と低く、粒径分布も悪い。また、長時間のアニールを行うため、ガラス基板のコンパクションを生じ、その後のプロセスでマスク合わせに不都合を生じるといった問題がある。

【0007】 低温CVD法(LPCVD法、プラズマCVD等)は、一部配向を有するものも作製可能であるが、粒径が2000Å程度と小さく、また、のこぎり歯(teeth)状結晶のため、膜厚が2000Å以上でないと粒径が拡大しないという欠点がある。更に、このように膜厚が厚いと、TFTを作製した場合、オフ電流が増大し、LCDへの適用が不可能になるという欠点がある。

【0008】 一方、ガラス基板へのダメージが少なく、高スループットが期待されることから最近注目されているエキシマレーザーラニール法は、XeClエキシマレーザー等の短波長、短パルスレーザーを試料に照射して短時間に溶融結晶化する方法であるが、結晶化速度が $n\text{ sec}^{-1}$ オーダーと早いため、得られる結晶粒径はせいぜい1000Å程度である。また、レーザー照射時に基板温度を400°C程度に加熱して凝固速度を制御する方法を探ったとしても、粒径が5000Å以上の結晶を得ることは困難であり、しかも配向がランダムのままであった。

【0009】 高温熱アニール法は、基板温度を1100°C以上にして熱アニールを行う方法であるが、ノンドープ膜に対しては結晶の粒径はせいぜい数千Å程度であり、配向もランダムである。一方、ドープ(P, As)膜に対しては大粒径(数μm程度で対数正規型の均一粒径分布)が得られ、更に(111)に配向した膜を得ることができるが、ドープ膜であるためTFTのチャネル膜としては用いることはできない。

【0010】 CWアルゴンレーザーラニール法(完全溶融再結晶化法)は、連続発振のレーザーを照射して半導体膜を完全に溶融させて再結晶化する方法であるが、膜厚が5000Å以上でないと結晶化の為の理想的な温度分布が得られず、また、溶融時間が長いため、ガラス基板等の低融点基板を使うことができない。更に、薄膜では膜がレーザーで吹き飛び、良好な結晶化が不可能である。

【0011】 高温CVD法は、1000°C程度の基板温度で半導体膜を基板上に堆積する方法であるが、形成されたpoly-Si膜の粒径はせいぜい数千Åであり、また、配向もランダムである。

## 【0012】

【発明が解決しようとする課題】 従って、上記従来の多

結晶半導体膜の製造方法では、ガラス基板を使用し、且つ結晶に配向を持たせながらオフ電流低減の為に薄膜で結晶粒径の大粒径化が図れるといった全ての条件を充たすことはできなかった。

【0013】本発明は、上述した従来の問題点を解消し、薄膜で大粒径且つノンドープで配向を有するp+polycrystalline-Si膜を安価な基板が使用可能な低温プロセスで提供することをその目的とする。

【0014】

【課題を解決するための手段】本発明の多結晶半導体膜は、膜厚が300Å～1000Åで且つ(111)配向度50%以上のノンドープ膜であり、結晶粒径1μm以上の粒を少なくとも含むことを特徴としている。

【0015】また、本発明の薄膜トランジスタは、絶縁性基板として低融点ガラス基板を用い、少なくともチャネル層に請求項1の多結晶半導体膜を有していることを特徴としている。

【0016】また、本発明の多結晶半導体膜の製造方法は、水素及び酸素が十分に除去された非晶質の半導体膜を得る工程と、低融点ガラス基板の使用が可能な温度に保持して上記非晶質の半導体膜にエキシマレーザーを30ショット(shots)以上照射する工程と、を含むことを特徴としている。

【0017】

【作用】上記の多結晶半導体膜は、(111)配向度50%以上であるので、たとえ同じ粒径のものであってもランダムな配向しか有しない多結晶半導体膜に比べてより単結晶に近い特性を有することになり、電子移動度および特性の均一性がより向上する。また、膜厚が300Å～1000Åで薄膜であるため、オフ電流の低減も可能となる。

【0018】また、上記の薄膜トランジスタは、(111)配向度50%以上の多結晶半導体膜を少なくともチャネル層に有し、その電子移動度および特性の均一性が向上されたので、高品質なデバイスとなる。

【0019】また、上記の多結晶半導体膜の製造方法によれば、低温プロセスであるエキシマレーザーハニールによって再結晶化を行うから、低融点のガラス基板などを使用することができる。更に、結晶成長を阻害する水素及び酸素を十分に除去した上で、エキシマレーザーパルスの照射回数を30shots以上として結晶成長を起こさせるエネルギーを十分に与え、且つ温度を保持し凝固過程を制御するので、結晶は横方向に成長して大粒径化する。また、この結晶成長時、(111)面に優先的に成長するため、結晶に配向を持たせながら大粒径化を図ることができる。

【0020】

【実施例】以下、本発明をその実施例を示す図に基づいて説明する。

【0021】本実施例における多結晶半導体膜の製造方

法は、低不純物なa-Si膜を形成する第1の工程と、a-Si膜に含まれる水素を除去する第2の工程と、a-Si膜に対してレーザーパルスを照射する第3の工程とからなる。

【0022】第1の工程におけるa-Si膜の形成は、プラズマCVD法により行うことができる。プラズマCVD法によるa-Si膜の形成は、例えば、基板温度を170°C、RFパワーを0.08W/cm<sup>2</sup>、圧力を0.4Torr、100%SiH<sub>4</sub>(シランガス)を流量20sccmとした条件で行い、500Åの膜厚に形成した。なお、このプラズマCVD法により形成されたa-Si膜には、不純物として水素、酸素、炭素、窒素等が含まれているが、特に結晶成長を阻害する要因である水素、酸素は、上記のように、チャンバーのバックグラウンドの到達真空度を10<sup>-7</sup>Torrにして十分に高めているため、a-Si膜中の酸素濃度は十分に低いものとなる。

【0023】第2の工程における水素の除去は、上記a-Si膜を基板温度を450°C～590°Cに設定して30分～8時間放置するアニール処理により行うことができる。この脱水素化処理は、従来行われていた処理よりも入念に行われ、a-Si膜中の水素濃度は十分に低くされる。

【0024】第3の工程におけるレーザーパルス照射においては、XeCl, ArF, KrF, XeFなどのエキシマレーザーが用いられる。このときのレーザーエネルギー密度は200～500mJ/cm<sup>2</sup>に設定しており、パルス数は30shots以上に設定している。また、このときの基板温度は、200～500°Cに設定している。ここに、上記のショット数は、従来におけるエキシマレーザーハニールにおける1～8shotsよりも格段に多いものとなっている。

【0025】図1は、上記の多結晶半導体膜の製造方法におけるエキシマレーザーパルス照射時のガラス基板10上のpolycrystalline-Si膜11の結晶成長の様子を示した斜視図であり、レーザーパルスのショット数が増えるに従って横方向に二次的に結晶成長が起こって結晶粒径が大きくなることが分かる。また、図には示されていないが、結晶粒は(111)面に配向する。

【0026】以下、上記の製造方法により製造された多結晶半導体膜において、結晶が(111)配向して大粒径化する理由について考察する。

【0027】まず、同図(a)に示すように、エキシマレーザーが照射されることにより、出発膜であるa-Si膜は小粒径のpolycrystalline-Si膜に変化する。そして、上記polycrystalline-Si膜の結晶粒径が膜厚と同程度になり、粒の形状が柱状になる。この変化は、従来方法においても同じであり、この小粒径のpolycrystalline-Si膜においては、結晶の配向はランダムである。

【0028】ところで、このエキシマレーザーハニール

法を利用する従来の多結晶半導体膜の製造方法においては、エキシマレーザーのショット回数を増やしてもそれに比例して結晶粒径が飛躍的に大粒径化することはなかった。これは、エキシマレーザーのショット回数を増やすと、粒界部分が溶融し、部分的には横方向に2次元的に結晶成長が起り、一部の結晶粒は大きくなるが、ショット数が一定以上の場合に出発材料に含有されている酸素及び水素原子により、横方向の結晶成長が阻害されるからである。

【0029】これに対し、本発明では、前記の第1及び第2の工程において、結晶成長を阻害する要因となる酸素及び水素が十分に除去されているので、レーザーパルスのショット数が増えるに従って横方向に二次的に結晶成長が起こって結晶粒径が大きくなる。

【0030】そして、上記poly-Si膜の結晶粒径が膜厚と同程度になり、粒の形状が柱状になると、表面自由エネルギーの異方性が大きな影響を及ぼすようになる。つまり、外部から結晶成長を起こさせるエネルギーを加えた場合、表面自由エネルギーが最小となる方向に配向しようとする。これは、よりエネルギー的に安定な面に落ちつこうとするからである。Si表面の表面自由エネルギーはSiのブローケンボンド密度に関係し、Si表面では(111)面の密度が最も小さくなり、(111)面に優先的に配向することになる。そして、このときに、上記したように、前記の第1及び第2の工程において、結晶成長を阻害する要因となる酸素及び水素が十分に除去されることにより、(111)面への配向が円滑に行われ、(111)面の配向を有する結晶粒が優先的に成長すると考えられる。

【0031】即ち、前記のpoly-Si膜を形成している各々の結晶は、当初は小粒径であり配向もばらばらであるが、前述したように、その粒の形状が柱状となつた後において、引き続き照射されるエキシマレーザーにて結晶成長を起こさせるエネルギーが次々と付与されるため、各々の結晶の粒界面において(111)面への配向が優先的に進み、(111)面に配向を有している結晶は、これと接している他の面に配向を持つ結晶を取り崩して成長し、その結果、(111)の面に配向する結晶が大粒径化するものと考えられる。

【0032】結晶の大粒径化は、上記したように、出発膜中の不純物である酸素濃度と水素濃度の影響を受ける。水素濃度と結晶粒径の関係、及び酸素濃度と結晶粒径の関係を調べたので以下に示す。なお、このときの条件は、基板温度を400°C、エキシマレーザーエネルギー密度を350mJ/cm<sup>2</sup>、エキシマレーザーの照射回数を128shotsとした。

【0033】

水素濃度： $1 \times 10^{19} / \text{cm}^3$  以上の場合→最大粒径：6000Å以下

水素濃度： $5 \times 10^{18} / \text{cm}^3$  以下の場合→最大粒径：

$3 \mu\text{m}$ 以上

(酸素濃度は十分に少なくしている： $4 \times 10^{18} / \text{cm}^3$  以下)

【0034】

酸素濃度： $1 \times 10^{19} / \text{cm}^3$  以上の場合→最大粒径：6000Å以下

酸素濃度： $4 \times 10^{18} / \text{cm}^3$  以下の場合→最大粒径： $3 \mu\text{m}$ 以上

(水素濃度は十分に少なくしている： $5 \times 10^{18} / \text{cm}^3$  以下)

【0035】従って、結晶の大粒径化のためには、出発膜であるa-Si膜において酸素および水素とともに十分に低濃度であることが必要であることがわかる。

【0036】図2は、粒径分布の推移を表したグラフであり、同図(a)はショット数が1回の場合を、同図(b)はショット数が60回の場合を、同図(c)はショット数が120回の場合をそれぞれ示している。これらの図から分かるように、ショット数が1回の時点では、大粒径(1.0~2.0μm程度)の結晶は全く得られないが、ショット数が60回の時点で一部の結晶が大粒径化し、ショット数が120回の時点で略全ての結晶が大粒径化している。

【0037】図3(a)は、基板温度を一定(400°C)とし、エキシマレーザー・ショット数を変化させた場合の配向の集中度の変化を示したグラフであり、このグラフから分かるように、ショット数が多くなるに従って(111)面の配向を有する結晶粒が成長し、ついには(111)配向度50%以上有する多結晶半導体膜が得られる。一方、同図(b)は、レーザー・ショット数を一定(120shots)とし、基板温度を変化させた場合の配向の集中度の変化を示したグラフであり、このグラフから分かるように、基板温度が高くなるに従って(111)面の配向を有する結晶粒が成長し、ついには(111)配向度50%以上有する多結晶半導体膜が得られる。なお、この同図(b)において、基板温度が室温(R.T.)であるときの結晶の最大粒径は5000Å、基板温度が200°Cのときは7500Å、基板温度が300°Cのときは1.5μm、基板温度が400°Cのときは4.5μmであった。

【0038】以上のように、本発明の多結晶半導体膜の製造方法によれば、a-Si膜を形成する第1の工程においては、その膜厚を比較的薄くし、且つプラズマCVD装置のバックグランドの真空度を十分に高くしてa-Si膜中の酸素を十分に除去し、第2の工程においてはa-Si膜に含まれる水素を比較的長時間(或いは高温)での熱アニールによって十分に除去し、第3の工程においては酸素及び水素が十分に除去されたa-Si膜に対して所定の温度を付与しつつレーザーパルスを多数回照射するようにしたので、再結晶化poly-Si膜においてその結晶粒径を数μm程度に均一な粒径分布

で大粒径化させ且つ結晶に(111)面の配向を持たせることができるようになった。

【0039】このような大粒径で(111)配向を有する多結晶半導体膜を用いて薄膜トランジスタを作製するときは、その高い電子移動度によって薄膜トランジスタの高性能化を図ることができる。例えば、図4に示すように、膜厚が300Å～1000Å程度で、1μm以上の粒径を有する結晶を少なくとも含み、(111)配向度50%以上有するpolycrystalline-Si膜11を、歪点70°C以下のガラス基板10上に堆積し、ゲート絶縁膜12およびゲート電極13を形成し、ソースおよびドレインとなる領域に不純物をドープしてソースS、ドレインDを形成し、更に、ソース、ドレイン電極14を順次形成することにより作製できる。

【0040】なお、このような大粒径で(111)配向を有するpolycrystalline-Si膜11は少なくともチャネル層に存在すればよく、従って、このチャネルとなる部分にのみ選択的に多パルス照射するようにしてよく、また大粒径の一つの結晶内にチャネル層を形成することもできる。更に、別に形成した高濃度不純物層にてソースおよびドレインを形成するようとしてもよいものである。

【0041】また、この大粒径で配向を有する多結晶半導体膜を核としてCVD法によりエピタキシャル成長させて厚膜の多結晶半導体膜を形成することもできる。

【0042】更に、この大粒径で配向を有する多結晶半導体膜を核として固相成長させた多結晶半導体膜を用いて太陽電池を製造することも可能となり、その高い電子移動度によって発電効率を高めることができる。例えば、図5(a)に示すように、裏面電極となる金属基板1上にSiO<sub>2</sub>膜2をアイランド状に形成すると共に、各SiO<sub>2</sub>膜2上に上記の方法によって大粒径のpolycrystalline-Si膜3を形成する。そして、同図(b)に示すように、n<sup>+</sup>型polycrystalline-Si膜4を固相成長により形成する。このとき、上記の大粒径のpolycrystalline-Si膜3が核となり、上記n<sup>+</sup>型polycrystalline-Si膜4の結晶粒径は大きなものとなる。次に、n<sup>-</sup>型polycrystalline-Si膜5およびp<sup>+</sup>型polycrystalline-Si膜6を順に形成した後、集電極7を形成する。これにより、大結晶粒で結晶性に優れたBSF(Back Surface Field)型の多結晶太陽電池が得られる。

【0043】なお、以上の実施例では、プラズマCVD法を用いて出発膜であるa-Si膜を形成したが、これに限らず、光CVD法なども用いることができる。また、LPCVD法(550°C)では、装置的に到達真空

度を十分に高めることができず、水素濃度が7×10<sup>19</sup>/cm<sup>3</sup>程度、酸素濃度が7×10<sup>19</sup>/cm<sup>3</sup>以上となり、多パルス照射しても大きな結晶は得られないが、今後の技術開発により装置の到達真空中を高めることができ、酸素濃度および水素濃度を十分に低くすることができるようになれば、このLPCVD法で形成した薄膜のa-Si膜を用いて本発明の多パルス照射による多結晶半導体膜の製造方法を適用することができる。

#### 【0044】

【発明の効果】以上のように、本発明によれば、より単結晶半導体膜の特性に近い多結晶半導体膜が得られ、上記の多結晶半導体膜の製造方法により、低融点のガラス基板などの上に結晶に配向を持たせながら薄膜で且つ大粒径化を図ることができるという効果を奏する。また、これを用いた薄膜トランジスタの性能は飛躍的に向上する。

#### 【図面の簡単な説明】

【図1】本発明の多結晶半導体膜の製造方法におけるエキシマレーザーパルス照射によるシリコン膜の結晶成長の様子を示した斜視図である。

【図2】本発明の多結晶半導体膜の製造方法におけるエキシマレーザーパルス照射による粒径分布の推移を表したグラフである。

【図3】本発明の多結晶半導体膜の製造方法におけるエキシマレーザーパルス照射による結晶の配向性の変化をX線回折パターンにより示したグラフである。

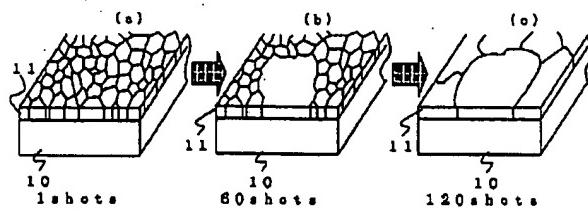
【図4】本発明の多結晶半導体膜を用いた薄膜トランジスタの縦断面図である。

【図5】本発明の多結晶半導体膜を用いた太陽電池の製造方法を工程順に示した縦断面図である。

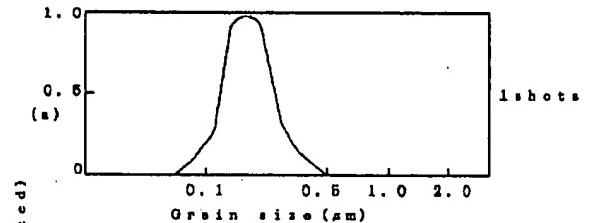
#### 【符号の説明】

- 1 金属基板
- 2 SiO<sub>2</sub>膜
- 3 大粒径のpolycrystalline-Si膜
- 4 n<sup>+</sup>型polycrystalline-Si膜
- 5 n<sup>-</sup>型polycrystalline-Si膜
- 6 p<sup>+</sup>型polycrystalline-Si膜
- 7 集電極
- 10 ガラス基板
- 11 大粒径のpolycrystalline-Si膜
- 12 ゲート絶縁膜
- 13 ゲート電極
- 14 ソース、ドレイン電極

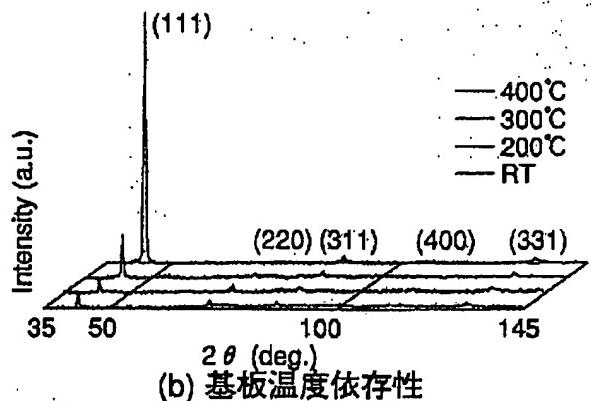
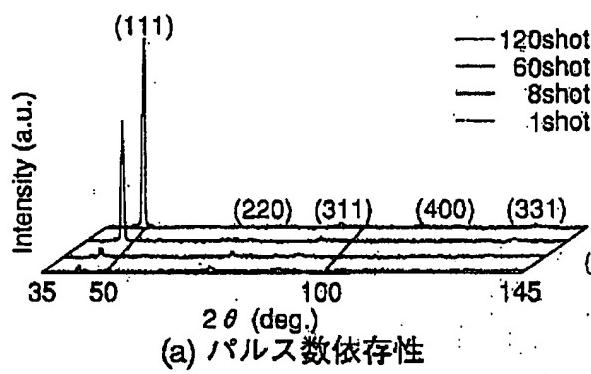
【図1】



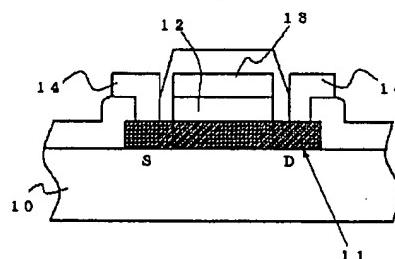
【図2】



【図3】



【図4】



【図5】

